

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

AA

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076179

(43)Date of publication of application : 14.03.2000

(51)Int.Cl. G06F 13/36  
G06F 12/08

(21)Application number : 10-242746

(71)Applicant : NEC CORP

(22)Date of filing : 28.08.1998

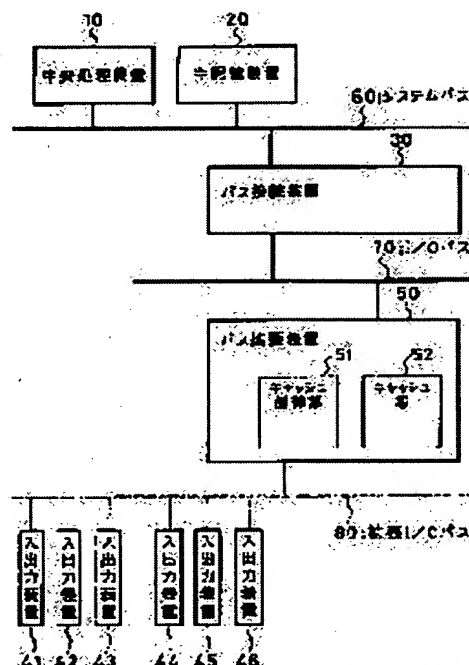
(72)Inventor : YAMAMOTO SADANORI

## (54) SYSTEM BUS OPTIMIZATION SYSTEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an information processor for reducing the activation of a system bus cycle from an input/output device connected to an extension input/output bus and improving system performance in the information processor provided with the hierarchized bus structure of the input/output bus and the extension input/output bus further under a system bus for connecting a central processing unit and a main memory unit.

**SOLUTION:** A bus extension device 50 is provided with a cache part 52 for storing and holding the copy of a part of the data of the main memory unit 20 and a cache control part 51 for managing the data held in the cache part 52. For an access request to the main memory unit 20 from the input/output device connected to the extension input/output bus, by supplying the data held in the cache part 52 of the bus extension device 50 to the input/output device, the need of the activation of the bus cycle of the system bus by the access to the main memory unit 20 from the input/output device is eliminated.



## LEGAL STATUS

[Date of request for examination] 28.08.1998

[Date of sending the examiner's decision of rejection] 19.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-76179  
(P2000-76179A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 6 F 13/36 12/08	3 1 0	G 0 6 F 13/36 12/08	3 1 0 F 5 B 0 0 5 X 5 B 0 6 1

審査請求 有 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願平10-242746

(22) 出願日 平成10年8月28日 (1998.8.28)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 山本 禎則

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

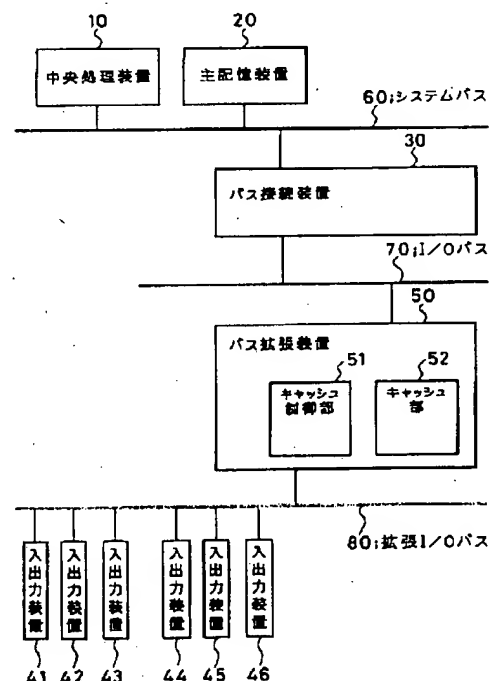
Fターム (参考) 5B005 JJ11 KK12 KK15 MM01 NN43  
PP21  
5B061 FF01 GG02 GG06

(54) 【発明の名称】 システムバス最適化方式

(57) 【要約】

【課題】 中央処理装置及び主記憶装置が接続するシステムバスの配下に入出力バス、さらに拡張入出力バスという階層化されたバス構造を備えた情報処理装置において、拡張入出力バスに接続する入出力装置からのシステムバスサイクルの起動を低減し、システム性能を向上する情報処理装置の提供。

【解決手段】 バス拡張装置が、主記憶装置のデータの一部の写しを格納保持するキャッシュ部と、キャッシュ部に保持されたデータを管理するキャッシュ制御部と、を備え、拡張入出力バスに接続された入出力装置からの主記憶装置へのアクセス要求に対して、バス拡張装置のキャッシュ部に保持されたデータを入出力装置に供給することで、入出力装置からの主記憶装置へのアクセスによるシステムバスのバスサイクルの起動を不要とする。



## 【特許請求の範囲】

【請求項1】中央処理装置、及び主記憶装置が接続するシステムバス配下にバス間を接続する装置を介して下位の入出力バスを備えた情報処理装置において、入出力装置が直接接続するバスと上位バスとの間の接続を制御する、バス間を接続する装置が、前記主記憶装置に格納されるデータの一部を保持するキャッシュメモリを備え、前記入出力装置からの前記主記憶装置へのアクセスが、前記バス間を接続する装置のキャッシュメモリと前記入出力装置との間のアクセスで置き換えられるようにしたことを特徴とする情報処理装置。

【請求項2】中央処理装置、及び主記憶装置が接続するシステムバスにバス接続装置を介して入出力バスが接続され、さらに前記入出力バスと拡張入出力バスとの間にバス拡張装置が接続され、前記拡張入出力バスに1又は複数の入出力装置が接続されてなる情報処理装置において、前記バス拡張装置が、前記主記憶装置のデータの一部の写しを格納保持するキャッシュ部と、前記キャッシュ部に保持されたデータを管理するキャッシュ制御部と、を備え、前記拡張入出力バスに接続された前記入出力装置からの前記主記憶装置へのアクセス要求に対して、前記バス拡張装置のキャッシュ部に保持されたデータを前記入出力装置に供給することで、前記入出力装置からの前記主記憶装置へのアクセスによる前記システムバスのバスサイクルの起動を要しなくした、ことを特徴とする情報処理装置。

【請求項3】前記バス拡張装置のキャッシュ制御部が前記キャッシュ部のデータのアドレス、及び該データの有効／無効を示すフラグを備え、前記バス拡張装置は、前記キャッシュ部に有効なデータがある場合、前記拡張入出力バスの前記入出力装置に対してリードデータを返却した際に、前記キャッシュ制御部のフラグを無効に設定する、ことを特徴とする請求項2記載の情報処理装置。

【請求項4】前記バス拡張装置において、前記キャッシュ部に前記主記憶装置に保持される入出力命令及び／又はデータが格納された際に、前記キャッシュ制御部の対応するフラグを有効とする、ことを特徴とする請求項2記載の情報処理装置。

【請求項5】前記バス拡張装置において、前記キャッシュ部のデータの無効化をハードウェア回路で制御する、ことを特徴とする請求項2記載の情報処理装置。

【請求項6】中央処理装置、及び主記憶装置が接続するシステムバス配下にバス間を接続する装置を介して下位の入出力バスを備えた情報処理装置のバス制御方法において、

入出力装置が直接接続するバスと上位バスとの間の接続

を制御する、バス間を接続する装置が、前記主記憶装置に格納されるデータの一部を、自装置内のキャッシュメモリに保持しておく、

前記入出力装置の前記主記憶装置に対するアクセス要求に対して、前記アクセス要求に対応するデータがキャッシュメモリ内に保持されている場合には、上位のシステムバスサイクルを起動することなく、前記バス間を接続する装置の前記キャッシュメモリからのデータが前記入出力装置に対して供給される、ことを特徴とするバス制御システム。

【請求項7】中央処理装置、及び主記憶装置が接続するシステムバスにバス接続装置を介して入出力バスが接続され、さらに前記入出力バスと拡張入出力バスとの間にバス拡張装置が接続され、前記拡張入出力バスに1又は複数の入出力装置が接続されてなるバス拡張装置において、

前記主記憶装置のデータの一部の写しを格納保持するキャッシュ部と、前記キャッシュ部に保持されたデータを管理するキャッシュ制御部と、を備え、

前記拡張入出力バスに接続された前記入出力装置からの前記主記憶装置へのアクセス要求に対して、前記バス拡張装置のキャッシュ部に保持されたデータを前記入出力装置に供給することで、前記入出力装置からの前記主記憶装置へのアクセスによる前記システムバスのバスサイクルの起動を要しなくした、ことを特徴とするバス拡張装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、情報処理装置のバス転送制御システムに関し、特に、階層化されたバス構造を有する情報処理装置のバス制御方式に関する。

## 【0002】

【従来の技術】複数の入出力装置がバス接続装置を介して接続された情報処理装置について接続する。図2を参照すると、この情報処理装置は、中央処理装置10と、主記憶装置20、バス接続装置30と、バス拡張装置50'と、複数の入出力装置41～46と、システムバス60と、I/Oバス70と、拡張I/Oバス70と、を備え、システムバス60には、中央処理装置10、主記憶装置20、及びバス接続装置30が接続し、I/Oバス70には、バス接続装置30と、バス拡張装置50'とが接続し、拡張I/Oバス70には、バス拡張装置50と、複数の入出力装置41～46とが接続している。

【0003】入出力装置41～46は、中央処理装置10で入出力命令実行時、拡張I/Oバス60ーバス拡張装置50'ーI/Oバス70ーバス接続装置30ーシステムバス60を介して、主記憶装置20にアクセスする場合、システムバスサイクルを起動して、入出力命令（コマンド・データ）を得る。

## 【0004】

3

【発明が解決しようとする課題】上記した従来の情報処理装置においては下記記載の問題点を有している。

【0005】すなわち、入出力装置41～46が、主記憶装置20にアクセスする場合、システムバス60が入出力装置用のデータ転送の為にバスサイクルに使用されているため、中央処理装置10のシステムバスの使用が待たされ、システムの処理性能が低下する場合がある、ということである。

【0006】その理由は、中央処理装置10でシステムバス60に対するバスリクエストを発行しても直ちにバス使用許可が与えられるとは限らず、待ち状態となる場合があり、特に、入出力装置41～46から主記憶装置20へのアクセスが頻繁に発生した場合、システムバス60に負荷がかかり、中央処理装置が主記憶装置にアクセスするためのサイクル待ち状態が多発し、システムの処理性能が低下するためである。

【0007】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、中央処理装置及び主記憶装置が接続するシステムバスの配下に入出力バス、さらに拡張入出力バスという階層化されたバス構造を備えた情報処理装置において、拡張入出力バスに接続する入出力装置からのシステムバスサイクルの起動を低減し、システム性能を向上する情報処理装置及びバス制御システムを提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成する本発明は、中央処理装置、主記憶装置が接続するシステムバス配下にバス間を接続する装置を介して下位の入出力バスを備えた情報処理装置において、入出力装置が直接接続するバスと上位バスとの間の接続を制御する、バス間を接続する装置が、前記主記憶装置に格納されるデータの一部を保持するキャッシュメモリを備え、前記入出力装置からの前記主記憶装置へのアクセスが、前記バス間を接続する装置のキャッシュメモリと前記入出力装置との間のアクセスで置き換えられるようにして、システムバスの起動を不要としたものである。

【0009】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明を適用した情報処理装置の実施の形態は、システムバスに中央処理装置、主記憶装置、及びバス接続装置が接続され、このシステムバスにバス接続装置を介して入出力バス(I/Oバス)が接続され、さらに入出力バスと拡張入出力バス(拡張I/Oバス)との間にバス拡張装置が接続され、この拡張入出力バスに複数の入出力装置が接続される構成のシステムにおいて、バス拡張装置は、主記憶装置のデータの一部の写しを格納保持するキャッシュ部と、キャッシュ部に格納保持されたデータを管理するキャッシュ制御部と、を備えて構成される。

【0010】そして、本発明の実施の形態においては、

4

拡張入出力バスに接続された入出力装置からの、システムバス上の主記憶装置へのアクセス要求に対して、バス拡張装置のキャッシュ部に保持されたデータが入出力装置に供給されることで、入出力装置からの主記憶装置へのアクセスによるシステムバスのバスサイクルの起動をなくし、システム性能の向上を図るものである。

【0011】またバス拡張装置のキャッシュ制御部はキャッシュ部のデータのアドレス、及び該データの有効/無効を示すフラグを備え、入出力装置からの、システムバス上の主記憶装置へのアクセス要求に対して、キャッシュ部に有効なデータがある場合、入出力装置に対してデータを返却し、その際に、キャッシュ制御部のフラグを無効に設定する。このフラグの無効化は、好ましくは、ハードウェア回路で行われ、ソフトウェアの制御なしに行われる。

【0012】

【実施例】本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例の構成を示すブロック図である。図1を参照すると、本実施例は、中央処理装置10、主記憶装置20、バス接続装置30と、バス拡張装置50と、複数の入出力装置41～46と、システムバス60と、I/Oバス70と、拡張I/Oバス70と、を備え、システムバス60には、中央処理装置10、主記憶装置20、及びバス接続装置30が接続し、I/Oバス70には、バス接続装置30と、バス拡張装置50とが接続し、拡張I/Oバス70には、バス拡張装置50と、複数の入出力装置41～46とが接続している。

【0013】中央処理装置(CPU)10は、主記憶装置20に格納された命令を順次読み込んで該命令を実行する。また中央処理装置10は、入出力装置41～46のいずれかに対して入出力処理を行う場合、主記憶装置20に格納された入出力命令を実行し、入出力装置に対して入出力命令を発行する。

【0014】主記憶装置20は、中央処理装置10及びバス接続装置30とシステムバス50に接続されており、中央処理装置10及びバス接続装置30からのデータ読み込み要求に従いデータを送出し、中央処理装置10及びバス接続装置30からのデータ書き込み要求に従いデータを保持する。

【0015】バス接続装置30は、中央処理装置10、主記憶装置20で構成されるシステムバス60とバス拡張装置50と他の入出力装置で構成されるI/Oバスを接続する装置である。

【0016】バス拡張装置50は、I/Oバス70から拡張I/Oバス80を拡張する装置である。

【0017】バス拡張装置50は、キャッシュ部52とキャッシュ制御部51とを備え、キャッシュ制御部51はキャッシュ部52内に保持されているデータが有効か無効かを示すフラグ(validフラグ)と、キャッシュ部

52に保持されているデータの主記憶装置20上のアドレスを保持する。

【0018】入出力制御部から主記憶装置20へのリード要求に対してキャッシュ部52内に有効データが存在する場合、キャッシュ部52内のデータをリードデータとして応答し、データが有効か無効かを示すフラグを無効にする。

【0019】次に、本発明の一実施例の動作について図1を参照して説明する。

【0020】中央処理装置10が入出力装置41に対して、入出力命令を発行する場合、予め主記憶装置20に対応する入出力命令を格納しておき、中央処理装置10では該入出力命令をフェッチして実行することで入出力サイクルが開始される。またバス拡張装置50内のキャッシュ部52には、主記憶装置20に格納された入出力命令と同一の命令(コピー)が格納され、キャッシュ制御部51内のキャッシュ有効/無効フラグを「有効」にする。

【0021】ここで、入出力装置41に対して、中央処理装置10から入出力命令が発行されると、入出力装置41はこれを受けて、主記憶装置20に対して、入出力命令を読み込むためのバスサイクルを、拡張I/Oバス80に発生させる。

【0022】入出力装置41から入出力命令(コマンド・データ)を読み込むためのサイクルを受け付けたバス拡張装置50では、自装置内のキャッシュ部52内に有効なデータがある場合、拡張I/Oバス80に対して入出力装置41に対してリードデータを返す。

【0023】リードデータを返すのと同時に、バス拡張装置50は、キャッシュ制御部51のキャッシュ有効/無効フラグを「無効」にする。

【0024】このように、入出力装置41~46が、システムバス上の主記憶装置20にアクセスする時も、バス拡張装置50側のキャッシュ部52に入出力命令が存在している場合、この入出力命令を拡張I/Oバス80から入出力装置に返却するため、システムバスサイクルの起動が必要とされず、中央処理装置10では主記憶装置20にアクセスするためのシステムバスサイクルが待たされるということが、少なくなる。

【0025】またキャッシュ部52に複数のアドレスに対して対応してデータを格納することにより、より効率的なデータ転送を実現できる。その際、キャッシュ制御部51には、複数のデータに対応する複数のアドレスを格納するエントリを有し、該エントリに対して、その有効/無効を示すフラグを備える。なお、キャッシュデータは複数のデータをブロック化して一エントリとし、該エントリに対応させて、アドレスの所定ビットからの上位アドレスをタグアドレスとし、下位ビットを、ブロック内のバイトデータをアクセスするブロック内アドレスとし、キャッシュ制御部51には、このタグアドレスを

格納するようにしてもよい。さらに、図1において、キャッシュ制御部51は、その回路構成の詳細は示していないが、公知の制御方式で構成され、例えば入出力装置からの要求アドレスをエントリされたアドレスと照合する比較回路を備え、キャッシュヒットした場合、フラグが有効を示す場合、キャッシュ部52から対応するキャッシュデータを読み出し、入出力装置に対して拡張I/Oバスを介して転送し、キャッシュミスヒット時は、主記憶装置20へのアクセスが行われる。

【0026】また、バス拡張装置50におけるキャッシュ部51の制御をソフトウェアのみで行なうとキャッシュデータの有効/無効の制御に、時間的なずれが生じる可能性もあり、制御が複雑となるが、本発明の一実施例では、キャッシュデータの無効化をハードウェアで行っているため、ソフトウェア制御の負担を軽減している。

【0027】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0028】本発明の第1の効果は、入出力装置が主記憶装置にアクセスする時も、システムバスサイクルの起動を必要としないため、中央処理装置が主記憶装置にアクセスするためのシステムバスサイクルが待たされることが減少し、システム性能を向上する、ということである。

【0029】その理由は、本発明においては、バス拡張装置内に主記憶部の一部をキャッシュする機能を備えたことにより、拡張I/Oバスに接続された入出力装置が主記憶装置へアクセスする際に、システムバスサイクルの起動を必要としないためである。

【0030】本発明の第2の効果は、既存のシステムにバス拡張装置を接続する場合、本体システムのハードウェアに対して何ら変更、修正の必要がない、ということである。

【0031】本発明の第3の効果は、バス拡張装置内のキャッシュ有効/無効フラグの制御を容易化している、ということである。

【0032】その理由は、本発明においては、ソフトウェア制御は、最新データをキャッシュに書き込んだときにフラグを有効とするだけであり、データが無効になったときにはフラグの制御をする必要がない、ためである。

【図面の簡単な説明】

【図1】本発明の一実施例のシステム構成を示す図である。

【図2】従来の情報処理装置のシステム構成の一例を示す図である。

【符号の説明】

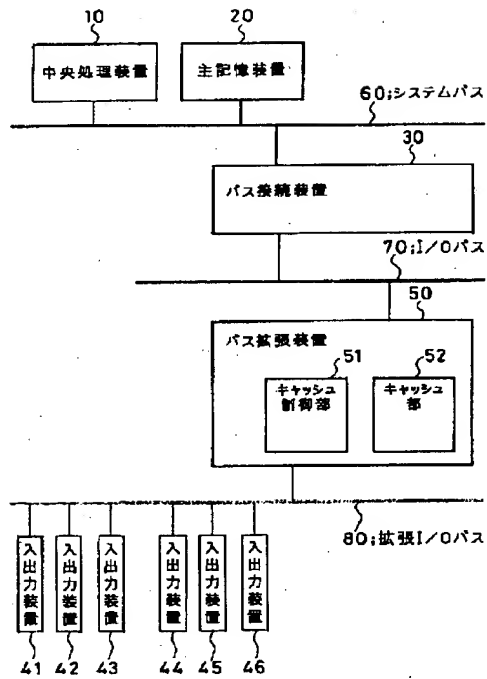
10 中央処理装置

20 主記憶装置

- 7
- 30 バス接続装置  
 40～46 入出力装置  
 50、50' バス拡張装置  
 51 キャッシュ制御部

- 8
- 52 キャッシュ部  
 60 システムバス  
 70 I/Oバス  
 80 拡張I/Oバス

【図1】



【図2】

